

《计算机原理》 教案

学科	计算机应用	课题	第六章 中央处理器		课次	
			6.2 时序			
授课时间				课的类型	新授课	
授课方法		讲授法、启发、指导		授课时数	2	
教 具		多 媒 体、计算机组件		授课班级		
教学目标		1. 掌握时序控制各种方式的特点 2. 了解多级时序中各种周期的特点			审 批 意 见	
教学重点		时序控制各种方式的特点，多级时序中各种周期的特点				
教学难点		时序控制各种方式的特点，多级时序中各种周期的特点				
教 学 设 计					附 记	
教师讲解，学生思考、记忆；教与学对应的全链式教学法						

教 学 内 容	教师活动	学生活动
<p>导入：提问：CPU 的许多操作都需要严格的定时控制吗？</p> <p style="text-align: center;">6.2 时序</p> <p>计算机工作过程就是执行指令的过程，一条指令的执行过程分为：读取指令、读操作数、运算、存放结果等步骤。</p> <p>一条指令在执行过程中不同时期执行不同微操作，这就需要节拍信号。</p> <p>计算机中产生周期节拍、脉冲等时序信号的部件称为时序发生器。</p> <p>6.2.1 时序控制方式</p> <p>时序控制方式可分为同步控制与异步控制两大类。实际应用中采用的往往较为复杂，例如在同步控制的基础上引入应答的方式等。</p> <p>1. 同步控制方式</p> <p>如果各项操作与统一的时序信号同步，称为同步控制。</p> <p>(1) 时间分配</p> <p>同步控制方式的基本特征是将操作时间划分为若干个时钟周期，如图所示。周期长度固定，每个时钟（工作）周期完成一步操作，如一次加法操作。CPU 则按照统一的时钟周期去安排严格的指令执行时间表。各项操作应在规定的时钟周期内完成，一个周期开始，一批操作就开始进行，该周期结束，这批操作也就结束。各步操作之间的衔接取决于时钟周期的切换。</p> <div style="text-align: center;"> <p>The diagram illustrates the timing of instruction execution. At the top, a series of square waves represent the clock pulses (时钟脉冲). Below this, three horizontal bars represent the duration of different instruction phases: '取指' (Fetch), '取数' (Decode), and '执行' (Execute). The '取指' phase spans the first two clock cycles, '取数' spans the next two, and '执行' spans the final two. Two '工作周期' (work periods) are indicated: '工作周期1' covers the first two cycles, and '工作周期2' covers the last two. A double-headed arrow at the bottom indicates the '指令周期' (instruction period), which is the sum of the three phases.</p> </div> <p>这个图说明 计算机有统一的时序脉冲信号。一条指令执行由三</p>	<p>提问 + 引导：</p> <p>总结：</p> <p>归纳计算机语言及软件的特点，进入教学课题。</p> <p>讲授 新课：(多媒体幻灯片演示和板书)</p>	<p>思考、回答并相互补充。</p> <p>学 生 思 考、看 书</p>

个工作周期构成，取，读数，执行等周期，指令严格按工作周期规定执行不同微操作。

(2) 同步定时

有许多操作需要严格地同步定时。

在加法时加一个同步定时，将稳定结果放入寄存器。在做加法时，由于进位传递的延迟，加法运算各位形成稳定的和值需要一定时间，而且先后不齐，但将稳定的和值打入结果寄存器的时刻是严格定时的。这就需要产生一种统一的同步打入脉冲，在其上升沿时刻则打入该运算结果，时钟周期提供了加法运算的时间段，即时间分配。同步打入脉冲则决定打入运算结果的时刻，即同步定时。

在一个 CPU 中可能同时有几处数据传送操作，一般需将它们打入脉冲同步定时在同一时刻。

(3) 各部件间的协调

在一个 CPU 的内部，通常只有一组统一的时序信号系统，CPU 内各部件间的传送也就由这组统一的时序信号同步控制。在一个计算机系统中，各外围设备往往有独立的时序系统，那么在 CPU、主存、各外围设备之间的数据传送又由谁来控制呢？如果采用同步控制方式，一般由 CPU 提供统一时序信号来控制部件间的传送，例如由 CPU 发出输入脉冲或输出脉冲。

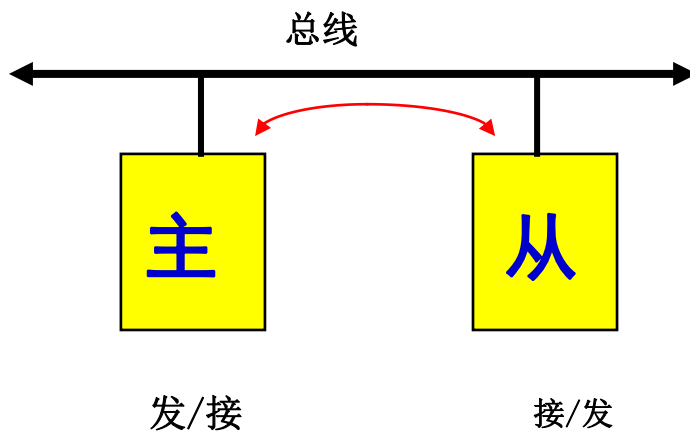
同步控制方式的优点是**时序关系**比较简单，控制部件在**结构**上易于集中，设计方便。同步控制方式的缺点是在**时间安排上**不经济。因为各项操作所需的时间可能不同，如果安排在统一而固定的时钟周期内完成，势必要根据最长操作时间来设计时钟周期宽度。对于所需时间较短的操作来讲，就存在时间上的浪费。对于 CPU 或者设备的内部，权衡控制的复杂程度与时间利用率两方面的实际情况，一般都选取同步控制方式。

2. 异步控制方式

①定义：异步控制方式是指**各项操作按其需要选择不同的时间**，不受统一的时钟周期的约束，各操作之间的衔接与各部件之间的信息交换采取 **应答方式**。

②异步控制方式的基本特征：各操作间的衔接和各部件之间的信息交换没有统一的时钟周期划分和同步定时脉冲；采用异步应答方式。

例：异步控制的总线传送



申请使用掌握使用总线的设备称为主设备(即主动的一方)，由主设备启动应答过程。响应设备要求的一方称为从设备(即被动的一方)。

注意：

主设备申请使用总线，获得批准后掌管总线控制权，这意味着由它向总线发送操作命令(如传送方向)及总线地址。

(1)主设备向从设备提出询问，即向从设备提出传输要求。

(2)从设备回答准备好，如已准备好待传数据，或已作好接收数据准备。

(3)进行数据传送，如由主设备发往从设备，或由从设备发往主设备。

(4)传送完毕，主设备释放对总线的控制。

为了实现这一异步应答过程，主、从设备发出或接收相应的控制信号，如申请、批准(掌管总线的控制器发出)、询问、回答等，在总线操作期间主设备发出“总线忙”信号作为标志，操作完毕时撤消“总线忙”信号。

从主设备申请到获得批准，从主设备提出询问到接到从设备回答，以及实际传送时间等，都可视实际需要而变，不固定，这就是异步的含义。

讲解：

异步控制方式的优点是**时间紧凑，能按不同部件、设备的实际需要分配时间**；缺点是实现异步应答所需的**控制比较复杂**。因此，很少在 CPU 内部采用异步控制，而是将它应用于系统总线操作控制。因为系统总线所连接的各种设备，其工作速度差异可能较大，在它们之间或与 CPU 之间进行传送所需的时间也有较大差别，由于所需操作时间不太固定，因而不便预估，而采用异步方式比较恰当。

3. 实际应用中的一些变化

在实际应用中，**同步控制方式**又有许多变化，甚至引入**异步应答关系**，可以看成是两种控制方法的结合。不同指令所需的执行时间可能不同，甚至差别较大，为它们规定同样的时间显然是不恰当的。常见的作法是让它们占用不同的时钟周期数目，以满足各自的需要，而又比较紧凑。最短的指令只需一个时钟周期，较长的指令则占用多个时钟周期。如果每个时钟周期长度较小，则时间安排就比较紧凑而经济。当然，一个时钟周期能完成 CPU 内部最长的数据通路操作。这是同步控制方式的一种实际应用形态。

6.2.2 多级时序的建立

1. 时序划分层次

同步控制方式中常将时序关系划分为几个层次，称为多级时序。

(1) 指令周期

读取并执行一条指令所需的时间称为一个**指令周期**。不同类型的指令，其指令周期的长短可以不同。通常，以开始取指令作为一个指令周期的开始，即上一个指令周期的结束。有的 CPU 设置有专门的取指标志，但一般都不在时序系统中为指令周期设置完整的时间标志信号，因此一般不将指令周期视为时序的一级。

(2) CPU 工作周期

在组合逻辑控制器中常将**指令周期划分为若干个工作阶段**，如**取指令、读取源操作数、读取目的操作数、执行**等阶段。

为此，在时序系统中划分若干种 CPU 工作周期，以对应不同工作阶段所需的操作时间，例如取指周期、源周期、目的周期，执行周期等。在有的机器中将工作周期这一级称为**机器周期**，或称为基

讲解：

本周期。

在指令周期中的某一工作阶段所需的时间称为一个 **CPU 工作周期**。不同指令中的同一种 CPU 工作周期所需的时间也可能不同。

(3) 时钟周期(节拍)

一个 CPU 工作周期的操作可能需要分成几步完成，所以在同步控制方式中，时序系统需按固定时间分段设置**时钟周期**。每个时钟周期(又称为一拍)完成一步操作，是时序系统中最基本的时间分段。各时钟周期长度相同，一个 CPU 工作周期可根据其需要，由若干个时钟周期组成。不同 CPU 工作周期，或不同指令中的同一种 CPU 工作周期，其时钟周期数目可以不同。

确定一个时钟周期的长度有两种设计策略。

一种设计策略是既**考虑 CPU 内部操作的需要，也考虑访问主存的需要**。由于主存读 / 写操作所需时间比一次 CPU 内部操作所需时间要长，所以将主存读 / 写周期作为时钟周期，在一个时钟周期中，可以执行一次 CPU 内部数据通路操作，如 ALU 运算或传送，或是执行一次主存读 / 写。如果主存速度较慢，这种安排方式对 CPU 内部操作来说，时间浪费较大。

另一种设计策略是**按照 CPU 内部操作的需要确定时钟周期的长短**。如果按同步方式访问主存，则一次读 / 写周期允许占用多个时钟周期。如果采用异步方式访问主存，则不受 CPU 时钟周期的限制。早期的 PDP—11 采用异步方式访问主存，因此在指令流程中不断出现同步方式与异步方式的变换。

(4) 定时脉冲

时钟周期提供了一项操作所需的时间分段，但有的操作如打入寄存器，还需严格的定时脉冲，以确定在哪一时刻打入。时钟周期的切换也需要严格的同步定时。常见的设计是在**每个时钟周期的末尾发一次工作脉冲，脉冲前沿可用来打入运算结果(或传送)，脉冲后沿则实现周期的切换**。也有的计算机在一个时钟周期中先后发出几个工作脉冲，有的脉冲位于时钟周期前端，可用作清除脉冲；有的脉冲位于中部，用作控制外围设备的输入 / 输出脉冲；有的脉

冲位于尾部，前沿用作 CPU 内部的打入，后沿用作实现周期切换。		
总结	<ol style="list-style-type: none">1. 时序控制各种方式的特点2. 多级时序中各种周期的特点	
作业	教材：P102 1, 2 学习指导：P77 三 2	
课后感		